

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-340880

(43)Date of publication of application : 08.12.2000

(51)Int.Cl. H01S 5/042
H01S 5/22

(21)Application number : 11-150904 (71)Applicant : FUJI PHOTO FILM CO LTD

(22)Date of filing : 31.05.1999 (72)Inventor : TSURUMA ISAO
MIZUYOSHI AKIRA

(54) SEMICONDUCTOR LASER AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To surely joint an electrode to a contact layer formed in the uppermost part of a ridge structure, in a semiconductor laser manufacturing method through which a semiconductor laser is manufactured by forming a plurality of semiconductor layers, including the contact layer which becomes the uppermost layer on a substrate, a ridge structure by partially etching the semiconductor layers, and an insulating film in a state where the film comes into contact with the etched part of the ridge structure and covers at least a part of the contact layer left in the uppermost part of the ridge structure.

SOLUTION: After a plurality of semiconductor layers containing a contact layer 19 is formed on a substrate 10, a metallic mask 20 which inhibits etching is formed 20 on a prescribed spot of the contact layer 19. Ridge etching and the formation of an insulating

film 21 are performed by leaving the mask 20 as is, and the contact layer 19 is exposed by removing the mask 20. Finally, an electrode 23' is formed so that the electrode 23' joint to the contact layer 19.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any

damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

CLAIMS

[Claim(s)]

[Claim 1] On a substrate, two or more semi-conductor layers containing the contact layer used as the maximum upper layer are formed. Ridge structure is formed by etching the semi-conductor layer of these plurality selectively. An insulator layer is formed in the condition of exposing said a part of contact layer [at least] which touched the part in which said etching was made, and remained in the most significant of said ridge structure. In the production approach of the semiconductor laser which joins an electrode to said exposed contact layer After forming said two or more semi-conductor layers, in the predetermined part on said contact layer Said etching and formation of said insulator layer are performed forming the metal mask which prevents said etching and leaving this metal mask. The production approach of the semiconductor laser characterized

by forming said electrode so that it may join to this contact layer that removed said metal mask, and was made to expose said contact layer, next was exposed.

[Claim 2] On a substrate, two or more semi-conductor layers containing the contact layer used as the maximum upper layer are formed. Ridge structure is formed by etching the semi-conductor layer of these plurality selectively. An insulator layer is formed in the condition of exposing said a part of contact layer [at least] which touched the part in which said etching was made, and remained in the most significant of said ridge structure. In the production approach of the semiconductor laser which joins an electrode to said exposed contact layer After forming said two or more semi-conductor layers, in the predetermined part on said contact layer Where it formed the metal mask which has a laminated structure containing the metal layer which touches this contact layer, and prevents said etching, and it performed said etching and formation of said insulator layer, with this metal mask left and then said metal layer is left The production approach of the semiconductor laser characterized by forming said electrode so that it may join to this metal layer.

[Claim 3] Semiconductor laser characterized by being produced by the approach according to claim 1.

[Claim 4] Semiconductor laser characterized by being produced by the approach according to claim 2, and said metal layer intervening between said contact layers and electrodes.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About semiconductor laser and its production approach, especially this invention has ridge structure in a detail, and relates to the semiconductor laser by which the junction structure of the contact layer and electrode which were formed in the topmost part of this ridge structure was improved, and its production approach.

[0002]

[Description of the Prior Art] Generally refractive-index waveguide structure is applied to the single mode laser which needs transverse-mode control among various semiconductor laser. And the approach of forming the block layer of low refraction with pad re-growth as an approach of attaching a refractive-index level difference in such refractive-index waveguide structure and the approach of forming ridge structure are learned.

[0003] Although the method of growing up a contact layer again is applied by the approach of performing the former pad re-growth after growing up a clad and a current block layer with the conductivity of reverse since a carrier is shut up, there is a possibility that the dependability of a component may fall according to

that a process becomes complicated and defective generating at the time of re-growth. Then, recently, the latter ridge structure is also applied more often.

[0004] Although the approach embedding high electrical resistance materials, such as polyimide, is also learned the sake [carrier *****] when applying this ridge structure, generally many insulator layers are applied. When applying this insulator layer, in order to take contact between a semi-conductor layer and an electrode, etching clearance of the insulator layer of the upper part of ridge structure was conventionally carried out according to the photolithography process, the electrode was formed from on that and the method of joining this electrode to the exposed contact layer of the ridge structure most significant was adopted.

[0005]

[Problem(s) to be Solved by the Invention] However, in order in the case of single mode laser for the width of face of ridge structure to be very narrow with several micrometers generally, to have carried out alignment to such a narrow part at accuracy and to have prepared the insulator layer clearance part, very expensive equipment and advanced skill were needed.

[0006] From such a situation, many approaches self-alignment removes the

insulator layer of the upper part of ridge structure are proposed conventionally.

As such an approach, C.Harder et al."High-Power Ridge-waveguide AlGaAs

GRIN-SCH Laser Diode"ELECTRONICS LETTERS, Vol.22, No.20, pp

1081-1082 (1986), and the thing indicated by the U.S. Pat. No. 5,059,552

description are mentioned.

[0007] Although the former approach applies a spatter to membrane formation of

an insulator layer, if practical membrane formation time amount is taken into

consideration, a certain amount of membrane formation rate must be needed,

and the comparatively big RF power (about [Hundreds] W) as semiconductor

laser must be impressed. Therefore, by this approach, we are anxious about

component degradation by the plasma damage.

[0008] On the other hand, although the latter approach forms an insulator layer

by the low dental-curing film by PECVD (Plasma Enhanced Chemical

VaporDeposition), since it is necessary to decompose ingredient gas at low

temperature, equipment with special 2 cycle RF equipment etc. is needed.

Although applying the usual plasma CVD instead of this low dental-curing film

method is also considered, it is necessary to carry out temperature up of the

substrate temperature to about 300 degrees C in that case for the reaction of

ingredient gas, and stabilization of membranous quality. However, since resist clearance benefits difficult that a resist deforms and a configuration gets worse under such an elevated temperature, and the conversion by heat, this plasma CVD is unapplicable ability on practical use level.

[0009] This invention aims at offering the approach of producing the semiconductor laser to which the electrode was certainly joined to the contact layer formed in the topmost part of ridge structure, and such semiconductor laser in view of the above-mentioned situation.

[0010]

[Means for Solving the Problem] The production approach of the 1st semiconductor laser by this invention On a substrate, two or more semi-conductor layers containing the contact layer used as the maximum upper layer are formed. Ridge structure is formed by etching the semi-conductor layer of these plurality selectively. An insulator layer is formed in the condition of exposing said a part of contact layer [at least] which touched the part in which said etching was made, and remained in the most significant of said ridge structure. In the production approach of the semiconductor laser which joins an electrode to said exposed contact layer After forming said two or more

semi-conductor layers, in the predetermined part on said contact layer Said etching and formation of said insulator layer are performed forming the metal mask which prevents said etching and leaving this metal mask. It is characterized by forming said electrode so that it may join to this contact layer that removed said metal mask, and was made to expose said contact layer, next was exposed.

[0011] Moreover, the production approach of the 2nd semiconductor laser by this invention On a substrate, two or more semi-conductor layers containing the contact layer used as the maximum upper layer are formed. Ridge structure is formed by etching the semi-conductor layer of these plurality selectively. An insulator layer is formed in the condition of exposing said a part of contact layer [at least] which touched the part in which said etching was made, and remained in the most significant of said ridge structure. In the production approach of the semiconductor laser which joins an electrode to said exposed contact layer After forming said two or more semi-conductor layers, in the predetermined part on said contact layer Where it formed the metal mask which has a laminated structure containing the metal layer which touches this contact layer, and prevents said etching, and it performed said etching and formation of said

insulator layer, with this metal mask left and then said metal layer is left It is characterized by forming said electrode so that it may join to this metal layer.

[0012] On the other hand, the 1st semiconductor laser by this invention is characterized by being produced by the 1st approach of the above.

[0013] Moreover, the 2nd semiconductor laser by this invention is characterized by being produced by the 2nd approach of the above and said metal layer intervening between a contact layer and an electrode.

[0014]

[Effect of the Invention] By the production approach of the 1st semiconductor laser by this invention Since it was made to perform etching and formation of an insulator layer, forming in the predetermined part on a contact layer the metal mask which prevents etching for ridge structure formation, and leaving this metal mask The crowning (it is a contact layer here) of the ridge structure where ridge structure is formed in the part under this metal mask, and the insulator layer is covered with the metal mask will be removed and formed.

[0015] Then, if the above-mentioned metal mask is removed next, an insulator layer will be in the condition of having carried out self-alignment so to speak, and having been formed, as [start / the crowning of ridge structure], and the contact

layer of this ridge structure crowning will expose it extensively. Therefore, if an electrode is formed so that it may join to this contact layer exposed greatly, a contact layer and an electrode will come to join certainly.

[0016] By the above, the 1st semiconductor laser of this invention produced by this approach becomes what the contact layer and the electrode joined certainly.

[0017] On the other hand, the production approach of the 2nd semiconductor laser by this invention in the predetermined part on a contact layer Since it was made to perform etching and formation of an insulator layer, forming the metal mask which prevents etching for ridge structure formation, and leaving this metal mask The crowning (it is a contact layer here) of the ridge structure where ridge structure is formed in the part under this metal mask, and the insulator layer is covered with the metal mask will be removed and formed.

[0018] And since the metal mask which consists of a laminated structure in this case contains the metal layer which touches a contact layer, if an electrode is formed so that it may leave this metal layer and may join to it, an electrode and a contact layer will come to join it certainly through a metal layer.

[0019] By the above, it becomes that to which the contact layer and the electrode also joined certainly the 2nd semiconductor laser of this invention produced by

this approach.

[0020] Moreover, by the production approach of the semiconductor laser by this invention, since the metal mask with thermal resistance high for whether your being Haruka is used as a mask which prevents etching for ridge structure formation compared with the resist, even if it does not use special CVD, the insulator layer which carried out self-alignment can be formed.

[0021] Moreover, by the production approach of the 2nd semiconductor laser especially by this invention, since the metal used as the above-mentioned mask serves as an electrode as it is, the maximum contact area can be secured.

[0022]

[Embodiment of the Invention] With reference to a drawing, the gestalt of operation of this invention is explained below. Drawing 1 shows order for the process which produces semiconductor laser by the approach of the 1st operation gestalt of this invention later on. As first shown in this drawing (1), a semiconducting crystal is formed with epitaxial growth on a substrate. Here, this process is explained in detail with reference to drawing 2.

[0023] In this example, in order to produce the semiconductor laser of the oscillation wavelength of 950nm band it is shown in drawing 2 -- as -- the n-GaAs

substrate (carrier concentration: $7-20 \times 10^{17} \text{ cm}^{-3}$) 10 top -- MOCVD (organic metal vapor growth) -- law and MBE (molecular beam epitaxy) -- by law etc. n-GaAs with a thickness of about 200-600nm In_{0.212}Ga_{0.788}As_{0.57}P_{0.43} [with a buffer layer / 11 /, a n-In_{0.484}Ga_{0.516}P (carrier concentration: 5-15x10¹⁷cm⁻³) cladding layer / 12 / of with a thickness of 2 micrometers, and a thickness of 45nm] (Carrier concentration: $7-20 \times 10^{17} \text{ cm}^{-3}$) (Non dope) The barrier layer 13, the In_{0.18}Ga_{0.82}As (non dope) barrier layer 14 with a thickness of 9nm, the InGaAsP (non dope) barrier layer 15 with a thickness of 45nm, a p-InGaP cladding layer with a thickness of 400nm (carrier concentration:) 5-20x10¹⁷cm⁻³ 16, the p-InGaAsP etching stop layer (carrier concentration: 5-15x10¹⁷cm⁻³) 17 with a thickness of about 4-10nm, the p-InGaP cladding layer 18 with a thickness of 1.6 micrometers (carrier concentration: 5-20x10¹⁷cm⁻³) And sequential epitaxial growth of the p-GaAs contact layer (carrier concentration: 5-30x10¹⁸cm⁻³) 19 with a thickness of about 150-500nm is carried out.

[0024] Thus, after growing up a semiconducting crystal, aluminum film with a thickness of about 100-1000nm is formed with vacuum deposition on the p-GaAs contact layer 19.

[0025] Subsequently, according to the usual lithography process, as shown in drawing 1 (2), patterning of the above-mentioned aluminum film is carried out so that it may leave a stripe part and a cleavage part. The dry etching by the gas of a chlorine system may be applied to etching at the time of forming this aluminum pattern 20, or wet etching may be applied to it. Moreover, although the order of a process gets mixed up, even if it uses the lift-off method, the same aluminum pattern 20 can be formed.

[0026] In addition, in drawing 1 , it is shown in simple among the semi-conductor layers ****(ed) on the n-GaAs substrate 10 except p-InGaAsP etching stop layer 17, cladding layer 18, and p-GaAs contact layer 19 (the same is said of drawing 3).

[0027] Next, the p-GaAs contact layer 19 is etched by the sulfuric-acid system or citric-acid system etchant by using the obtained aluminum pattern 20 as a mask. At this time, side etching adjusts 0.1 micrometers or more of etching time so that it may enter a clad layer thickness grade standardly.

[0028] Next, as shown in this drawing (3), the p-InGaP cladding layer 18 is etched to the p-InGaAsP etching stop layer 17 by hydrochloric-acid system etchant by using the p-GaAs contact layer 19 which remained as a mask.

Thereby, the ridge structure 25 as a graphic display is formed. In addition, at this time, the aluminum pattern 20 is not etched in order to make a passive state.

[0029] next, it is shown in this drawing (4) -- as -- plasma CVD -- SiO₂ Or SiO_xNy from -- the insulator layer 21 with a thin thickness of about 50-500nm is produced. In addition, this plasma CVD is made under the temperature of 300 degrees C as an example.

[0030] Next, as it is immersed in the etching reagent of a phosphoric-acid system and the substrate 10 with which the insulator layer 21 was produced is shown in this drawing (5), the insulator layer 21 deposited the above-mentioned aluminum pattern 20 and on it is removed by the lift off. If a brush scrub, ultrasonic impression, or those both sides are performed and a crack, and partial film peeling and a pan are made to generate cutting for a hood in the insulator layer 21 on the aluminum pattern 20 at this time, it will become removable more easily about an insulator layer 21.

[0031] Next, a pattern of a resist which the part of p lateral electrode to be formed from now on exposes according to the usual lithography process as shown in this drawing (6) is formed.

[0032] Next, as shown in this drawing (7), vacuum deposition of the electrode

material 23 is carried out by using the above-mentioned resist pattern 22 as a mask. In this example, Ti, Pt, and Au are vapor-deposited to 100nm in thickness, 50nm, and 80nm as an electrode material 23 at this order, respectively.

[0033] Next, if solvents, such as an acetone, remove the above-mentioned resist pattern 22 and the electrode material 23 on it by the lift off as shown in this drawing (8), only the electrode material currently formed in parts other than resist pattern 22 will remain, and p lateral electrode 23' of a predetermined configuration will be formed.

[0034] Then, if plating etc. performs an overcoat, p lateral electrode 23' will be completed. Furthermore, desired semiconductor laser is completed by grinding the n-GaAs substrate 10, producing n lateral electrode, carrying out primary cleavage in a predetermined location, giving an end-face coat to the cleavage plane, and carrying out secondary cleavage further in a predetermined location.

[0035] According to the above approach, an insulator layer 21 will remove the crowning (it is the contact layer 19 here) of the ridge structure 25 covered with the aluminum pattern 20, and it will be formed as shown in drawing 1 (4).

[0036] Then, an insulator layer 21 will be in the condition of having carried out self-alignment so to speak, and having been formed, as [start / the crowning of

the ridge structure 25], and the contact layer 19 of the crowning of this ridge structure 25 will expose it extensively as it is shown in this drawing (5), if the aluminum pattern 20 is removed next. Therefore, p lateral electrode 23' formed so that it might join to this contact layer 19 exposed greatly is certainly joined to the contact layer 19.

[0037] Next, the 2nd operation gestalt of this invention is explained. Drawing 3 shows order for the process which produces semiconductor laser by the approach of the 2nd operation gestalt of this invention later on. In addition, in this drawing 3 , the jack per line is given to the element equivalent to the element in drawing 1 , and the explanation which overlapped about them is omitted.

[0038] As first shown in drawing 3 (1), each class (refer to drawing 2) from the n-GaAs buffer layer 11 to the p-GaAs contact layer 19 is formed with sequential epitaxial growth on the n-GaAs substrate 10. Since this process is completely the same in the 1st operation gestalt, detailed explanation is omitted.

[0039] Subsequently, according to the usual lithography process, patterning of the resist is carried out so that it may leave a stripe part on the p-GaAs contact layer 19. The laminating of Ti, Pt, and the Au is carried out to the thickness of 50nm, 80nm, and 500nm after that at this order, respectively, it is immersed in

the solvent in which an acetone etc. can resist dissolve a substrate 10, and a lift off is performed. Thereby, as shown in drawing 3 (2), the stripe pattern 30 which consists of Ti/Pt/Au is formed in the location which hits on a stripe part.

[0040] Next, as shown in this drawing (3), a resist pattern 31 is formed in a secondary cleavage schedule part according to the usual photolithography process.

[0041] Next, as shown in this drawing (4), the p-GaAs contact layer 19 is etched by the sulfuric-acid system or citric-acid system etchant by using the above-mentioned Ti/Pt/Au stripe pattern 30 and a resist pattern 31 as a mask. At this time, like the 1st operation gestalt, side etching adjusts 0.1 micrometers or more of etching time so that it may enter a clad layer thickness grade standardly.

[0042] Next, the p-InGaP cladding layer 18 is etched to the p-InGaAsP etching stop layer 17 by hydrochloric-acid system etchant by using the p-GaAs contact layer 19 which remained as a mask. If a resist pattern 31 is removed by approaches, such as exclusive exfoliation liquid or ashing (ashing processing), after this etching is completed, the ridge structure 25 as shown in this drawing (5) will be formed.

[0043] next, it is shown in this drawing (6) -- as -- plasma CVD -- SiO₂ Or

SiO_xN_y from -- the insulator layer 21 with a thin thickness of about 50-500nm is produced. In addition, this plasma CVD is made under the temperature of 300 degrees C as an example.

[0044] Next, as shown in this drawing (7), the insulator layer 21 which was immersed in the golden etching reagent of an iodine system, and deposited the substrate 10 with which the insulator layer 21 was produced Au of the Ti/Pt/Au stripe pattern 30 and on it is removed by the lift off. At this time, it becomes removable more effectively about Au and an insulator layer 21 by performing a brush scrub, ultrasonic impression, or those both sides. In addition, above-mentioned Ti/Pt becomes contact electrode 30' as it is, without being removed.

[0045] Next, as shown in this drawing (8), the laminating of Ti, Pt, and the Au is carried out to the thickness of 50nm, 80nm, and 100nm with vacuum deposition from a contact electrode 30' upside at this order, respectively, and the overcoat electrode 32 is formed.

[0046] Then, if plating etc. performs an overcoat, p lateral electrode which consists of above-mentioned contact electrode 30' and an overcoat electrode 32 will be completed. Furthermore, desired semiconductor laser is completed by

grinding the n-GaAs substrate 10, producing n lateral electrode, carrying out primary cleavage in a predetermined location, giving an end-face coat to the cleavage plane, and carrying out secondary cleavage further in a predetermined location.

[0047] According to the above approach, an insulator layer 21 will remove the crowning (it is the contact layer 19 here) of the ridge structure covered with the Ti/Pt/Au stripe pattern 30 as a metal mask, and it will be formed. And it leaves Ti/Pt joined to the contact layer 19 before performing ridge etching in this case as an electrode material as it is, and since the overcoat electrode 32 is formed so that it may join to it, an electrode 32 and the contact layer 19 come to join certainly by the large area through Ti/Pt.

[0048] In addition, as a metal mask which has an above-mentioned laminated structure, what [not only] consists of Ti/Pt/Au but the thing which consists of Pd/Ti/Pt/Au or Pd/Pt/Au in addition to this is usable.

[0049] Moreover, in two operation gestalten explained above, a process which makes a secondary cleavage location the height of a ridge crowning, an EQC, or more than it is established. Although it is carrying out for the ridge protection in the case of mounting by improvement in cleavability, and junction down further in

order that this may clarify a secondary cleavage location, it is also possible to remove this process intrinsically.

[0050] Moreover, although the above explained the case where ridge structure was an order mesa ridge configuration, this invention does not limit the configuration of a ridge in essence, and does so the same effectiveness as the above-mentioned applicable [this invention] also to the semiconductor laser which has the ridge of the shape of a cross-section rectangle produced by the reverse mesa or dry etching.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The schematic diagram explaining the production approach of the semiconductor laser by the 1st operation gestalt of this invention

[Drawing 2] The schematic diagram showing the semi-conductor layer formed in the middle of the above-mentioned approach

[Drawing 3] The schematic diagram explaining the production approach of the semiconductor laser by the 2nd operation gestalt of this invention

[Description of Notations]

10 N-GaAs Substrate

11 N-GaAs Buffer Layer

12 N-InGaP Cladding Layer

13 InGaAsP Barrier Layer

14 InGaAsSQW Barrier Layer

15 InGaAsP Barrier Layer

16 P-InGaP Cladding Layer

17 P-InGaAsP Etching Stop Layer

18 P-InGaP Cladding Layer

19 P-GaAs Contact Layer

20 Aluminum Pattern (Metal Mask)

21 Insulator Layer

22 Resist Pattern

23 Electrode Material

23' p lateral electrode

25 Ridge Structure

30 Ti/Pt/Au Stripe Pattern (Metal Mask)

30' Contact electrode

31 Resist Pattern

32 Overcoat Electrode

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-340880

(P2000-340880A)

(43)公開日 平成12年12月8日 (2000.12.8)

(51)Int.Cl.⁷

H 01 S 5/042
5/22

識別記号

6 1 0

F I

H 01 S 3/18

テマコード(参考)
6 2 4 5 F 0 7 3
6 6 2

審査請求 未請求 請求項の数4 O.L (全7頁)

(21)出願番号 特願平11-150904

(22)出願日 平成11年5月31日 (1999.5.31)

(71)出願人 000005201

富士写真フィルム株式会社

神奈川県南足柄市中沼210番地

(72)発明者 鶴間 功

神奈川県足柄上郡開成町宮台798番地 富士写真フィルム株式会社内

(72)発明者 水由 明

神奈川県足柄上郡開成町宮台798番地 富士写真フィルム株式会社内

(74)代理人 100073184

弁理士 柳田 征史 (外1名)

Fターム(参考) 5F073 AA13 CA07 CA13 CB22 DA30
DA35 EA28

(54)【発明の名称】 半導体レーザおよびその作製方法

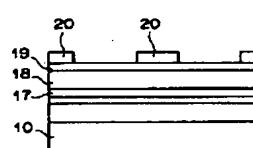
(57)【要約】

【課題】 基板上に、最上層となるコンタクト層を含む複数の半導体層を形成し、これら複数の半導体層を部分的にエッチングすることによりリッジ構造を形成し、前記エッチングがなされた部分に接し、かつ前記リッジ構造の最上位に残ったコンタクト層の少なくとも一部を露出させる状態に絶縁膜を形成し、この露出したコンタクト層に電極を接合させる半導体レーザの作製方法において、リッジ構造の最上部に形成されたコンタクト層に対して電極を確実に接合させる。

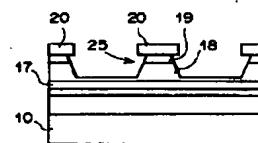
【解決手段】 基板10上にコンタクト層19を含む複数の半導体層を形成した後、コンタクト層19の上の所定箇所に、リッジエッチングを阻止する金属マスク20を形成する。そして、この金属マスク20を残したままリッジエッチングおよび絶縁膜21の形成を行ない、金属マスク20を除去してコンタクト層19を露出させ、次に、露出したコンタクト層19に接合するように電極23'を形成する。

(1)結晶成長

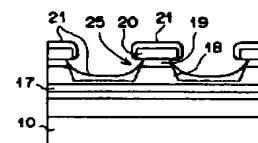
(2)メタルマスク形成
(エッチングorリフトオフ)



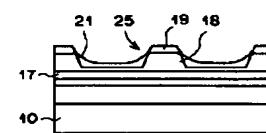
(3)リッジエッチング
(ウェットエッチ)



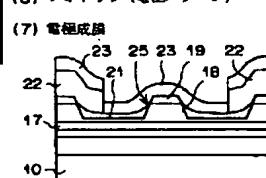
(4)SiO₂CVD



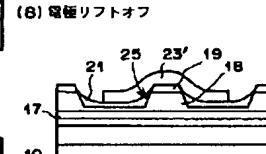
(5)リフトオフ



(6)フォトリソ(電子パターン)



(7)電極成長



【特許請求の範囲】

【請求項1】 基板上に、最上層となるコンタクト層を含む複数の半導体層を形成し、これら複数の半導体層を部分的にエッチングすることによりリッジ構造を形成し、前記エッチングがなされた部分に接し、かつ前記リッジ構造の最上位に残った前記コンタクト層の少なくとも一部を露出させる状態に絶縁膜を形成し、前記露出したコンタクト層に電極を接合させる半導体レーザの作製方法において、前記複数の半導体層を形成した後、前記コンタクト層の上の所定箇所に、前記エッチングを阻止する金属マスクを形成し、この金属マスクを残したまま前記エッチングおよび前記絶縁膜の形成を行ない、前記金属マスクを除去して前記コンタクト層を露出させ、次に、露出したこのコンタクト層に接合するように前記電極を形成することを特徴とする半導体レーザの作製方法。

【請求項2】 基板上に、最上層となるコンタクト層を含む複数の半導体層を形成し、これら複数の半導体層を部分的にエッチングすることによりリッジ構造を形成し、前記エッチングがなされた部分に接し、かつ前記リッジ構造の最上位に残った前記コンタクト層の少なくとも一部を露出させる状態に絶縁膜を形成し、前記露出したコンタクト層に電極を接合させる半導体レーザの作製方法において、前記複数の半導体層を形成した後、前記コンタクト層の上の所定箇所に、該コンタクト層に接する金属層を含む積層構造を有して前記エッチングを阻止する金属マスクを形成し、この金属マスクを残したまま前記エッチングおよび前記絶縁膜の形成を行ない、次に前記金属層を残した状態で、該金属層に接合するよう前記電極を形成することを特徴とする半導体レーザの作製方法。

【請求項3】 請求項1に記載の方法により作製されたことを特徴とする半導体レーザ。

【請求項4】 請求項2に記載の方法により作製されて、前記コンタクト層と電極との間に前記金属層が介在していることを特徴とする半導体レーザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体レーザおよびその作製方法に関し、特に詳細には、リッジ構造を有し、このリッジ構造の最上部に形成されたコンタクト層と電極との接合構造が改良された半導体レーザ、およびその作製方法に関するものである。

【0002】

【従来の技術】 各種半導体レーザのうち、横モード制御が必要なシングルモードレーザには、一般的に屈折率導波構造が適用されている。そして、このような屈折率導波構造において屈折率段差を付ける方法として、埋込み再成長により低屈折のプロック層を形成する方法や、リッジ構造を形成する方法が知られている。

【0003】 前者の埋込み再成長を行なう方法では、キャリアを閉じ込めるために、クラッドと逆の導電性を持つ電流プロック層を成長させた後、コンタクト層を再度成長させる方法が適用されるが、工程が複雑になることや、再成長時の欠陥発生により素子の信頼性が低下するおそれがある。そこで近時は、後者のリッジ構造が適用されることも多くなっている。

【0004】 このリッジ構造を適用する場合、キャリア閉じ込めのためには、ポリイミド等の高抵抗材料を埋め込む方法も知られているが、一般的には絶縁膜が多く適用されている。この絶縁膜を適用する際、半導体層と電極との間のコンタクトを取るために従来は、リッジ構造の上部の絶縁膜をフォトリソグラフィプロセスによりエッチング除去し、その上から電極を形成して、露出したリッジ構造最上位のコンタクト層に該電極を接合するという方法が採用されていた。

【0005】

【発明が解決しようとする課題】 しかし、シングルモードレーザの場合、リッジ構造の幅は一般に数 μm と非常に狭くなってしまっており、このような狭い部分に正確にアライメントして絶縁膜除去部分を設けるには、極めて高価な装置や、高度の熟練が必要となっていた。

【0006】 このような事情から、リッジ構造の上部の絶縁膜をセルフアライメントによって除去する方法が従来より多数提案されている。そのような方法としては例えば、C. Harder et al. "High-Power Ridge-waveguide AlGaAs GRIN-SCH Laser Diode" ELECTRONICS LETTERS, Vol. 22, No. 20, pp1081-1082(1986) や、米国特許第5,059,552号明細書に記載されたものが挙げられる。

【0007】 前者の方法は絶縁膜の成膜にスパッタを適用するものであるが、実用上の成膜時間を考慮するとある程度の成膜レートが必要になり、半導体レーザとしては比較的大きな高周波パワー（数百W程度）を印加しなければならない。そのため、この方法ではプラズマダメージによる素子劣化が懸念される。

【0008】 一方後者の方法は、絶縁膜をPECVD (Plasma Enhanced Chemical Vapor Deposition) による低温成膜で形成するものであるが、低温で材料ガスを分解する必要があるために2周波RF装置等の特殊な装置が必要になる。この低温成膜法の代わりに通常のプラズマCVDを適用することも考えられるが、その場合は材料ガスの反応と膜質の安定化のために、基板温度を300°C程度に昇温する必要がある。しかし、このような高温

下では、レジストが変形して形状が悪化することと、熱による変成のためにレジスト除去が困難になるので、このプラズマCVDは実用レベルでは適用不可能である。

【0009】本発明は上記の事情に鑑みて、リッジ構造の最上部に形成されたコンタクト層に対して電極が確実に接合された半導体レーザ、およびそのような半導体レーザを作製できる方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明による第1の半導体レーザの作製方法は、基板上に、最上層となるコンタクト層を含む複数の半導体層を形成し、これら複数の半導体層を部分的にエッチングすることによりリッジ構造を形成し、前記エッチングがなされた部分に接し、かつ前記リッジ構造の最上位に残った前記コンタクト層の少なくとも一部を露出させる状態に絶縁膜を形成し、前記露出したコンタクト層に電極を接合させる半導体レーザの作製方法において、前記複数の半導体層を形成した後、前記コンタクト層の上の所定箇所に、前記エッチングを阻止する金属マスクを形成し、この金属マスクを残したまま前記エッチングおよび前記絶縁膜の形成を行ない、前記金属マスクを除去して前記コンタクト層を露出させ、次に、露出したこのコンタクト層に接合するように前記電極を形成することを特徴とするものである。

【0011】また、本発明による第2の半導体レーザの作製方法は、基板上に、最上層となるコンタクト層を含む複数の半導体層を形成し、これら複数の半導体層を部分的にエッチングすることによりリッジ構造を形成し、前記エッチングがなされた部分に接し、かつ前記リッジ構造の最上位に残った前記コンタクト層の少なくとも一部を露出させる状態に絶縁膜を形成し、前記露出したコンタクト層に電極を接合させる半導体レーザの作製方法において、前記複数の半導体層を形成した後、前記コンタクト層の上の所定箇所に、該コンタクト層に接する金属層を含む積層構造を有して前記エッチングを阻止する金属マスクを形成し、この金属マスクを残したまま前記エッチングおよび前記絶縁膜の形成を行ない、次に前記金属層を残した状態で、該金属層に接合するように前記電極を形成することを特徴とするものである。

【0012】他方、本発明による第1の半導体レーザは、上記第1の方法によって作製されたことを特徴とするものである。

【0013】また本発明による第2の半導体レーザは、上記第2の方法によって作製されて、コンタクト層と電極との間に前記金属層が介在していることを特徴とするものである。

【0014】

【発明の効果】本発明による第1の半導体レーザの作製方法では、コンタクト層の上の所定箇所に、リッジ構造形成のためのエッチングを阻止する金属マスクを形成し、この金属マスクを残したままエッチングおよび絶縁

膜の形成を行なうようにしたので、この金属マスクの下の部分にリッジ構造が形成され、また絶縁膜は金属マスクに覆われているリッジ構造の頂部（ここはコンタクト層である）は除いて形成されることになる。

【0015】そこで、次に上記金属マスクを除去すると、絶縁膜はリッジ構造の頂部にかからないようにいわばセルフアライメントして形成された状態となり、該リッジ構造頂部のコンタクト層が全面的に露出する。したがって、この大きく露出したコンタクト層に接合するよう電極を形成すれば、コンタクト層と電極とが確実に接合するようになる。

【0016】以上により、この方法で作製された本発明の第1の半導体レーザは、コンタクト層と電極とが確実に接合したものとなる。

【0017】一方、本発明による第2の半導体レーザの作製方法も、コンタクト層の上の所定箇所に、リッジ構造形成のためのエッチングを阻止する金属マスクを形成し、この金属マスクを残したままエッチングおよび絶縁膜の形成を行なうようにしたので、この金属マスクの下の部分にリッジ構造が形成され、また絶縁膜は金属マスクに覆われているリッジ構造の頂部（ここはコンタクト層である）は除いて形成されることになる。

【0018】そしてこの場合、積層構造からなる金属マスクはコンタクト層に接する金属層を含んでいるので、この金属層を残してそれに接合するように電極を形成すれば、電極とコンタクト層とが金属層を介して確実に接合するようになる。

【0019】以上により、この方法で作製された本発明の第2の半導体レーザも、コンタクト層と電極とが確実に接合したものとなる。

【0020】また本発明による半導体レーザの作製方法では、リッジ構造形成のためのエッチングを阻止するマスクとして、レジストに比べて遙かに耐熱性の高い金属マスクを用いているので、特別なCVDを用いなくても、セルフアライメントした絶縁膜を形成することができる。

【0021】また、特に本発明による第2の半導体レーザの作製方法では、上記のマスクとして用いた金属がそのまま電極となるので、最大限のコンタクト面積を確保できるようになる。

【0022】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。図1は、本発明の第1の実施形態の方法により半導体レーザを作製する工程を順を追って示すものである。まず同図(1)に示すように、基板上にエピタキシャル成長により半導体結晶を形成する。ここで、この工程について図2を参照して詳しく説明する。

【0023】本例では、950nm帯の発振波長の半導体レーザを作製するために、図2に示すようにn-GaA

s 基板（キャリア濃度： $7 \sim 20 \times 10^{17} \text{ cm}^{-3}$ ）10上に、MOCVD（有機金属気相成長）法やMBE（分子線エピタキシー）法等により、厚さ200～600 nm程度のn-GaAs（キャリア濃度： $7 \sim 20 \times 10^{17} \text{ cm}^{-3}$ ）バッファ層11、厚さ2 μmのn-In_{0.484}Ga_{0.516}P（キャリア濃度： $5 \sim 15 \times 10^{17} \text{ cm}^{-3}$ ）クラッド層12、厚さ45 nmのIn_{0.212}Ga_{0.788}As_{0.57}P_{0.43}（ノンドープ）バリア層13、厚さ9 nmのIn_{0.18}Ga_{0.82}As（ノンドープ）活性層14、厚さ45 nmのInGaAsP（ノンドープ）バリア層15、厚さ400 nmのp-InGaPクラッド層（キャリア濃度： $5 \sim 20 \times 10^{17} \text{ cm}^{-3}$ ）16、厚さ4～10 nm程度のp-InGaAsPエッチングストップ層（キャリア濃度： $5 \sim 15 \times 10^{17} \text{ cm}^{-3}$ ）17、厚さ1.6 μmのp-InGaPクラッド層（キャリア濃度： $5 \sim 20 \times 10^{17} \text{ cm}^{-3}$ ）18および厚さ150～500 nm程度のp-GaAsコンタクト層（キャリア濃度： $5 \sim 30 \times 10^{18} \text{ cm}^{-3}$ ）19を順次エピタキシャル成長させる。

【0024】このように半導体結晶を成長させた後、p-GaAsコンタクト層19上に真空蒸着により厚さ100～1000 nm程度のA1膜を形成する。

【0025】次いで図1(2)に示すように、通常のリソグラフィプロセスにより、ストライプ部分および劈開部分を残すように上記A1膜をパターニングする。このA1パターン20を形成する際のエッチングには、塩素系のガスによるドライエッチングを適用してもよいし、あるいはウェットエッチングを適用してもよい。また、工程順は前後するが、リフトオフ法を用いても同様のA1パターン20を形成可能である。

【0026】なお図1においては、n-GaAs基板10上に席層された半導体層のうち、p-InGaAsPエッチングストップ層17、クラッド層18およびp-GaAsコンタクト層19以外については、簡略的に示してある（図3も同様）。

【0027】次に、得られたA1パターン20をマスクとして、硫酸系またはクエン酸系エッチャントでp-GaAsコンタクト層19をエッチングする。このとき、サイドエッチングが0.1 μm以上、標準的にはクラッド層の厚さ程度入るようにエッチング時間を調整する。

【0028】次に同図(3)に示すように、残ったp-GaAsコンタクト層19をマスクとして、塩酸系エッチャントでp-InGaPクラッド層18をp-InGaAsPエッチングストップ層17までエッチングする。それにより、図示の通りのリッジ構造25が形成される。なお、このときA1パターン20は不動態を作るため、エッチングされない。

【0029】次に同図(4)に示すように、プラズマCVDにより、SiO₂あるいはSiO_xNyからなる厚さ50～500 nm程度の絶縁膜21を製膜する。なおこのプラズマCVDは、一例として300°Cの温度下でなされる。

【0030】次に、絶縁膜21が製膜された基板10をリン酸系のエッチング液に浸漬し、同図(5)に示すように、上記A1パターン20およびその上に堆積した絶縁膜21をリフトオフ除去する。このとき、ブラシスクラブまたは超音波印加、あるいはそれらの双方を行なって、A1パターン20上の絶縁膜21にクラックや部分的な膜剥がれ、さらには底部分の切断を発生させると、絶縁膜21をより容易に除去可能となる。

【0031】次に同図(6)のように、通常のリソグラフィプロセスにより、これから形成するp側電極の部分が露出するようなレジストのパターンを形成する。

【0032】次に同図(7)に示すように、上記レジストパターン22をマスクとして、電極材料23を真空蒸着する。本例では電極材料23として、Ti、Pt、Auをこの順にそれぞれ厚さ100 nm、50 nm、80 nmに蒸着する。

【0033】次に同図(8)に示すように、アセトン等の溶剤により上記レジストパターン22およびその上の電極材料23をリフトオフ除去すると、レジストパターン22以外の部分に形成されていた電極材料のみが残って、所定形状のp側電極23'が形成される。

【0034】このあと、メッキ等によってオーバーコートを行なうとp側電極23'が完成する。さらに、n-GaAs基板10を研磨してn側電極を作製し、所定位置で1次劈開してその劈開面に端面コートを施し、さらに所定位置で2次劈開することにより、所望の半導体レーザが完成する。

【0035】以上の方によれば、図1(4)に示されている通り、絶縁膜21はA1パターン20に覆われているリッジ構造25の頂部（ここはコンタクト層19である）は除去して形成されることになる。

【0036】そこで、次にA1パターン20を除去すると、同図(5)に示されている通り、絶縁膜21はリッジ構造25の頂部にかかるないようにいわばセルフアライメントして形成された状態となり、該リッジ構造25の頂部のコンタクト層19が全面的に露出する。したがって、この大きく露出したコンタクト層19に接合するように形成されたp側電極23'は、コンタクト層19と確実に接するものとなる。

【0037】次に、本発明の第2の実施形態を説明する。図3は、本発明の第2の実施形態の方法により半導体レーザを作製する工程を順を追って示すものである。なおこの図3において、図1中の要素と同等の要素には同番号を付してあり、それについての重複した説明は省略する。

【0038】まず図3(1)に示すように、n-GaAs基板10上にn-GaAsバッファ層11からp-GaAsコンタクト層19までの各層（図2参照）を順次エピタキシャル成長により形成する。この工程は、第1実施形態におけるのと全く同様であるので、詳しい説明は省略

する。

【0039】次いで通常のリソグラフィプロセスにより、p-GaAsコンタクト層19の上に、ストライプ部分を残すようにレジストをパターニングする。その後Ti/Pt/Auをこの順にそれぞれ50nm、80nm、500nmの厚さに積層し、基板10をアセトン等のレジスト溶解可能な溶媒に浸漬し、リフトオフを行なう。それにより、図3(2)に示すように、ストライプ部分の上に当たる位置にTi/Pt/Auからなるストライプパターン30が形成される。

【0040】次に同図(3)に示すように、通常のフォトリソグラフィプロセスにより、2次劈開予定部分にレジストパターン31を形成する。

【0041】次に同図(4)に示すように、上記Ti/Pt/Auストライプパターン30およびレジストパターン31をマスクとして、硫酸系またはクエン酸系エッチャントでp-GaAsコンタクト層19をエッチングする。このとき第1実施形態と同様に、サイドエッチャントが0.1μm以上、標準的にはクラッド層の厚さ程度入るようにエッチング時間を調整する。

【0042】次に、残ったp-GaAsコンタクト層19をマスクとして、塩酸系エッチャントでp-InGaPクラッド層18をp-InGaAsPエッチングストップ層17までエッチングする。このエッチングが終了した後、レジストパターン31を専用剥離液またはアッシング(灰化処理)等の方法により除去すると、同図(5)に示すようなリッジ構造25が形成される。

【0043】次に同図(6)に示すように、プラズマCVDにより、SiO₂あるいはSiOxNyからなる厚さ50~500nm程度の絶縁膜21を製膜する。なおこのプラズマCVDは、一例として300°Cの温度下でなされる。

【0044】次に同図(7)に示すように、絶縁膜21が製膜された基板10をヨウ素系の金エッチング液に浸漬し、Ti/Pt/Auストライプパターン30のAuおよびその上に堆積した絶縁膜21をリフトオフで除去する。このとき、プラシスクラブまたは超音波印加、あるいはそれらの双方を行なうことにより、Auおよび絶縁膜21をより効果的に除去可能となる。なお上記Ti/Ptは除去されずに、そのままコンタクト電極30'となる。

【0045】次に同図(8)に示すように、コンタクト電極30'の上側から真空蒸着によりTi/Pt/Auをこの順にそれぞれ50nm、80nm、100nmの厚さに積層して、オーバーコート電極32を形成する。

【0046】このあと、メッキ等によってオーバーコートを行なうと、上記コンタクト電極30'およびオーバーコート電極32からなるp側電極が完成する。さらに、n-GaAs基板10を研磨してn側電極を作製し、所定位で1次劈開してその劈開面に端面コートを施し、さらに所定位置で2次劈開することにより、所望の半導体レ

ーザが完成する。

【0047】以上のようにすれば、絶縁膜21は金属マスクとしてのTi/Pt/Auストライプパターン30に覆われているリッジ構造の頂部(ここはコンタクト層19である)は除いて形成されることになる。そしてこの場合、リッジエッチャントを行なう前からコンタクト層19に接合しているTi/Ptをそのまま電極材料として残し、それに接合するようにオーバーコート電極32を形成しているので、電極32とコンタクト層19とがTi/Ptを介して大面積で確実に接合するようになる。

【0048】なお上述の積層構造を有する金属マスクとしては、Ti/Pt/Auからなるものに限らず、その他Pd/Ti/Pt/AuやPd/Pt/Auからなるもの等が使用可能である。

【0049】また以上説明した2つの実施形態においては、2次劈開位置をリッジ頂部の高さと同等、あるいはそれ以上とするようなプロセスを設けている。これは、2次劈開位置を明確にするため、さらには劈開性の向上、ジャンクションダウンで実装する場合のリッジ保護のために行なっているものであるが、本質的にはこのプロセスを除くことも可能である。

【0050】また以上は、リッジ構造が順メサリッジ形状の場合について説明したが、本発明は本質的にリッジの形状を限定するものではなく、逆メサ、あるいはドライエッチャント等で作製される断面矩形状のリッジを有する半導体レーザに対しても本発明は適用可能であり、そして前述と同様の効果を奏するものである。

【図面の簡単な説明】

【図1】本発明の第1の実施形態による半導体レーザの作製方法を説明する概略図

【図2】上記方法の途中において形成された半導体層を示す概略図

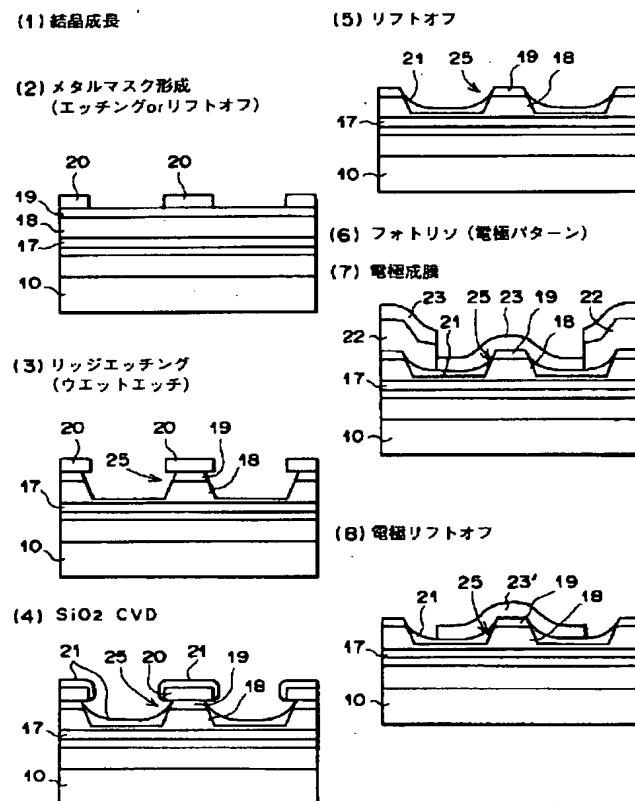
【図3】本発明の第2の実施形態による半導体レーザの作製方法を説明する概略図

【符号の説明】

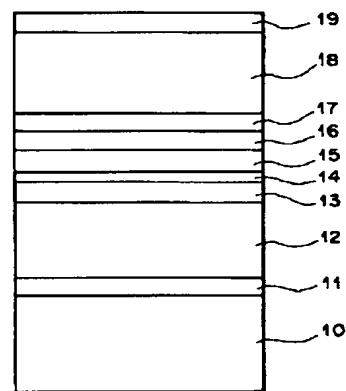
10	n-GaAs基板
11	n-GaAsバッファ層
12	n-InGaPクラッド層
13	InGaAsPバリア層
14	InGaAsSQW活性層
15	InGaAsPバリア層
16	p-InGaPクラッド層
17	p-InGaAsPエッチングストップ層
18	p-InGaPクラッド層
19	p-GaAsコンタクト層
20	A1パターン(金属マスク)
21	絶縁膜
22	レジストパターン
23	電極材料
50 23'	p側電極

9
 25 リッジ構造
 30 Ti/Pt/Auストライプパターン（金属マス
 ク） * 30' コンタクト電極
 31 レジストパターン
 * 32 オーバーコート電極

【図1】



【図2】



【図3】

